

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-008367

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

G11C 11/14
G11C 11/15
// H01L 27/105
H01L 43/08

(21)Application number : 2000-182672

(71)Applicant : NEC CORP

(22)Date of filing : 19.06.2000

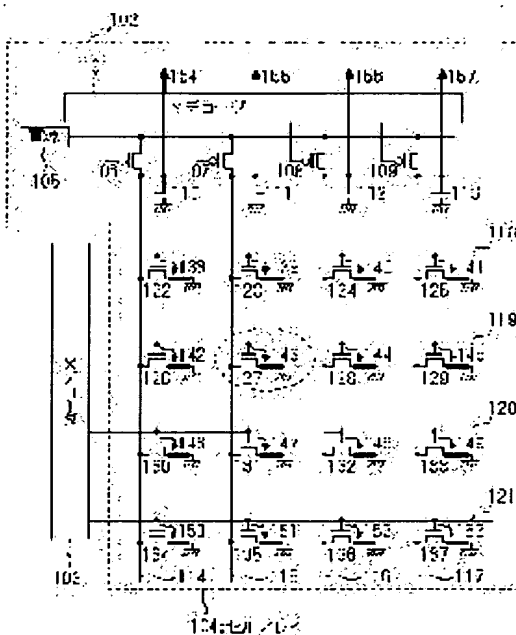
(72)Inventor : NUMATA HIDEAKI
TAKEDA KOICHI

(54) MAGNETIC RANDOM ACCESS MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an MRAM which is capable of widening an operation margin by preventing the variation within a wafer plane of magneto-resistive element characteristics, prevents the degradation in the detecting sensivity of a reading out circuit rendered by the voltage drop by the resistance of wirings and transistors connected in series to magneto-resistive elements and allows high-speed reading out with high accuracy.

SOLUTION: This magnetic random access memory consists of an X decoder to which the plural word lines 118 to 121 are connected, a Y peripheral circuit section having a Y decoder, power source, MOSFETs 106 to 109 and capacitors 110 to 113 and a cell array section where MOSFETs 122 to 137 and the magneto-resistive elements 138 to 153 are connected in series to unit memory cells. The voltage impressed to the magneto-resistive elements is controlled to a prescribed small value by the reference voltage of the X decoder and the prescribed drop voltage given by the threshold characteristic of the MOSFETs of the unit memory cells. The reading out of the data of the magneto-resistive elements is surely performed by the change in voltage of the capacitors generated by successively flow of the charges stored in the capacitors through the sense lines, the unit memory cell MOSFETs and the magneto-resistive elements.



LEGAL STATUS

[Date of request for examination]

12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-8367

(P2002-8367A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int. Cl.

識別記号

F I

テーマコード(参考)

G 1 1 C 11/14
11/15
// H 0 1 L 27/105
43/08

G 1 1 C 11/14
11/15
H 0 1 L 43/08
27/10

- Z 5 F 0 8 3
Z
4 4 7

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願2000-182672(P2000-182672)

(22) 出願日 平成12年6月19日 (2000.6.19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 沼田 秀昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 武田 晃一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100114672

弁理士 宮本 恵司

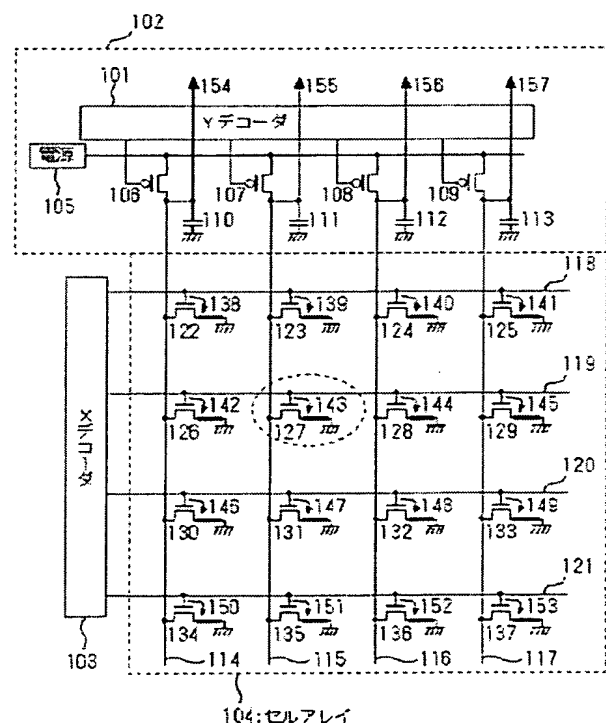
Fターム(参考) 5F083 FZ10 GA01 GA30 LA03 LA10

(54) 【発明の名称】 磁気ランダムアクセスメモリ

(57) 【要約】

【課題】 磁気抵抗素子特性のウェハ面内でのばらつきを防止して動作マージンを広くすることができ、磁気抵抗素子と直列に接続された配線およびトランジスタの抵抗による電圧降下をもたらす、読み出し回路の検出感度の低下を防ぎ、高精度かつ高速な読み出しが可能なMRAMの提供。

【解決手段】 複数のワード線118~121が接続されるXデコーダと、Yデコーダと電源とMOSFET 106~109とコンデンサ110~113とを有するY周辺回路部と、単位記憶セルにMOSFET 122~137と磁気抵抗素子138~153とが直列に接続されたセルアレイ部とからなり、Xデコーダの基準電圧と単位記憶セルのMOSFETの閾値特性により与えられる所定の降下電圧とによって磁気抵抗素子に印加する電圧が所定の小さい値に制御され、コンデンサに蓄積された電荷がセンス線、単位記憶セルMOSFET及び磁気抵抗素子に順次流れることにより生じるコンデンサの電圧変化によって磁気抵抗素子のデータの読み出しを確実に行う。



【特許請求の範囲】

【請求項 1】複数のセンス線及び複数のワード線を有し、前記センス線と前記ワード線との各々の交点には電圧降下素子の機能を備えたセル選択スイッチと磁気抵抗素子とが直列に接続された単位記憶セルが配設され、該単位記憶セルが 2 次元アレイ状に配列されてセルアレイを構成する磁気ランダムアクセスメモリにおいて、前記センス線の各々に容量手段を備え、前記容量手段に蓄積された電荷が前記センス線、前記セル選択スイッチ及び前記磁気抵抗素子を順次介して放電し、該放電により生じる前記容量手段の電圧変化によって前記磁気抵抗素子の磁気保持状態が判別されることを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】前記セルアレイに、所定の前記単位記憶セルと相補のデータを記憶する参照セル、又は、前記磁気抵抗素子に受えて基準抵抗を配設した参照セルを有し、前記所定の単位記憶セル及び前記参照セルの各々に接続される前記容量手段の電圧降下の差分によって、前記磁気抵抗素子の磁気保持状態が判別されることを特徴とする請求項 1 記載の磁気ランダムアクセスメモリ。

【請求項 3】複数のワード線が接続され、選択されたワード線に基準電圧を発生する X デコーダと、複数のセンス線が接続された Y デコーダを含む Y 周辺回路部と、前記ワード線と前記センス線との各交点にセル選択 MOS FET と磁気抵抗素子とが直列に接続された単位記憶セルと、を少なくとも有し、前記単位記憶セルをアレイ状に配列してセルアレイ部が構成される磁気ランダムアクセスメモリにおいて、

前記 Y 周辺回路部に、電源と各々の前記センス線に対応して設けられた列選択 MOS FET と容量手段とを備え、前記列選択 MOS FET は、その一側端子が前記センス線に、他側端子が前記電源に、ゲート端子が前記 Y デコーダにそれぞれ接続され、前記列選択 MOS FET と前記センス線との連結部には出力線が接続されると共に、前記容量手段を介して接地され、

各々の前記単位記憶セルでは、前記セル選択 MOS FET の一側端子が前記センス線に、他側端子が前記磁気抵抗素子の一側端子に、ゲート端子が前記ワード線に接続され、前記磁気抵抗素子の他側端子は接地され、

前記ワード線に印加される基準電圧と前記セル選択 MOS FET の閾値特性により与えられる所定の降下電圧とによって前記磁気抵抗素子に印加する電圧が制御され、前記容量手段に蓄積された電荷が前記センス線、前記セル選択 MOS FET 及び前記磁気抵抗素子を順次介して放電し、該放電により生じる前記容量手段の電圧変化によって、前記磁気抵抗素子の磁気保持状態が判別されることを特徴とする磁気ランダムアクセスメモリ。

【請求項 4】前記 Y デコーダに、隣接する 2 本の前記センス線から延びる前記出力線が接続される差動増幅手段を備え、前記セルアレイが、同一の前記ワード線に接続

され、かつ、前記隣接する 2 本のセンス線にそれぞれ接続される対をなす単位記憶セルで構成され、前記対をなす単位記憶セルの、一方が記憶セル、他方が前記記憶セルと相補のデータを記憶する参照セルとして機能し、前記記憶セル及び前記参照セルからの出力信号の差が前記差動増幅手段で検出、増幅されることを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 5】前記 Y 周辺回路部に対して対称の位置に、前記 Y 周辺回路部に接続されるセルアレイ部及び X デコーダが各々対をなして配設され、前記 Y 周辺回路部に、各々の前記セルアレイ部の対向する前記センス線から延びる前記出力線が接続される差動増幅手段を備え、各々の前記セルアレイの、少なくとも 1 本以上の前記ワード線と該ワード線と交差する前記センス線との各交点に前記セル選択 MOS FET と基準抵抗とから構成される参照セルが配設され、

前記対をなすセルアレイ部の一方に設けた所定の単位記憶セルと、他方のセルアレイ部に設けた前記参照セルとの出力信号の差が前記差動増幅手段で検出、増幅されることを特徴とする請求項 3 記載の磁気ランダムアクセスメモリ。

【請求項 6】複数のワード線が接続され、選択されたワード線に基準電圧を発生する X デコーダと、複数のセンス線が接続された Y デコーダを含む Y 周辺回路部と、前記ワード線と前記センス線との各交点にセル選択 MOS FET と磁気抵抗素子とが直列に接続された単位記憶セルと、を少なくとも有し、前記単位記憶セルをアレイ状に配列してセルアレイ部が構成される磁気ランダムアクセスメモリにおいて、

前記 Y 周辺回路部に、電源と各々の前記センス線に対応して設けられた第 1 乃至第 4 の列選択 MOS FET と第 1 及び第 2 の容量手段と差動増幅手段とを備え、前記第 1 及び第 2 の列選択 MOS FET は、一側端子が前記電源に接続され、他側端子が前記第 1 又は第 2 の容量手段を介して接地され、ゲート端子が前記 Y デコーダに並列に接続され、前記第 1 及び第 2 の列選択 MOS FET の前記他側端子には、各ゲート端子に Y デコーダ信号が入力されて互いに相補的に動作する第 3 及び第 4 の列選択 MOS FET が配設され、前記第 3 及び第 4 の列選択 MOS FET の直列連結部と前記センス線とが接続され、前記差動増幅手段は、前記第 1 の容量と前記第 1 の列選択 MOS FET との接続部から延びる第 1 の出力線と、前記第 2 の容量と前記第 2 の列選択 MOS FET との接続部から延びる第 2 の出力線とに接続され、

各々の前記単位記憶セルでは、前記セル選択 MOS FET の一側端子が前記センス線に、他側端子が前記磁気抵抗素子の一側端子に、ゲート端子が前記ワード線に接続され、前記磁気抵抗素子の他側端子は接地され、

前記ワード線に印加される基準電圧と前記セル選択 MOS FET の閾値特性により与えられる所定の降下電圧と

によって前記磁気抵抗素子に印加する電圧が制御され、前記容量手段に蓄積された電荷が前記センス線、前記セル選択MOSFET及び前記磁気抵抗素子を順次介して放電し、該放電により生じる前記容量手段の電圧変化によって、前記磁気抵抗素子の磁気保持状態が判別されることを特徴とする磁気ランダムアクセスメモリ。

【請求項7】前記Xデコーダと各々の前記ワード線との間に補正手段を備え、メモリ素子の記憶読み出し動作を行う前の記憶素子が初期化された状態において、同一の前記センス線に接続された各々の前記磁気抵抗素子に流れる電流が相等しくなるように、前記補正手段によって各々の前記ワード線の電位が補正されることを特徴とする請求項3乃至6のいずれか一に記載の磁気ランダムアクセスメモリ。

【請求項8】前記磁気抵抗素子がトンネル型磁気抵抗素子からなることを特徴とする請求項3乃至7のいずれか一に記載の磁気ランダムアクセスメモリ。

【請求項9】磁気抵抗素子が巨大磁気抵抗効果素子からなることを特徴とする請求項3乃至7のいずれか一に記載の磁気ランダムアクセスメモリ。

【請求項10】前記容量手段が、コンデンサ、又は、前記センス線の寄生容量からなることを特徴とする請求項3乃至9のいずれか一に記載の磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ランダムアクセスメモリに関し、特に、磁気抵抗素子を用いた磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)に関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリは、多数のメモリセルがワード線とビット線の交点に配置され、基本的には、各々のメモリセルは絶縁層あるいは金属層を挟んだ二枚の強磁性層から構成されている。このような磁気ランダムアクセスメモリでは、デジタル情報は強磁性層の磁化の向きによって表され、その情報は意図的に書き換えられない限り無限に保持される。また、メモリセルの状態の書き換えは、ワード電流とビット電流とで生じる閾値より大きな合成磁場を所定のメモリセルに印加し、強磁性層の磁化を反転させることにより行われる。

【0003】このような従来のMRAMに関する記述としては、例えば、米国特許第5748519号及びIEEE Transaction On Components Packaging and Manufacturing Technology-Part A, Vol. 170, No. 3, pp. 373-379等があり、上記文献には、記憶セルとして巨大磁気抵抗効果(GMR: giant magneto-resistive)素子を用いて且つ簡単化されたMRAM回路が開示されている(第1の従来例)。このような第1の従来例について、図6を参

照して説明する。

【0004】第1の従来例に係るMRAM回路は、一般的に半導体基板上に形成され、他の回路が同一基板上に混載される。MRAM回路は、メモリアレイ(第1アレイ604及び第2アレイ605)、デコーダ(行デコーダ602及び列デコーダ603)及び比較器606により構成され、行デコーダ602と列デコーダ603は、アドレスバス601にそれぞれ接続されている。第1アレイ604及び第2アレイ605のうちの一方は読み出し時の参照セルとして用いられ、それぞれのセルアレイにおいて、1つの行には複数のGMR素子が直列接続されている。そして、読み出し時には、第1アレイ604及び第2アレイ605の双方の選択された行に電流を流し、生じた電圧の差分を比較器606で検出するものである。

【0005】また、米国特許第5640343号には、トンネル型磁気抵抗(TMR: tunneling magneto-resistive)素子を記憶セルとして用いて、それぞれのワード線とセンス線の交点に一つの記憶セルを配したメモリアレイをもつMRAM回路が開示されている(第2の従来例)。この第2の従来例について図7を参照して説明すると、このMRAM回路は、行デコーダ701、702と列デコーダ703、704とこれらに接続される交点に磁気トンネル接合素子を有するマトリクス回路とにより構成されている。なお、このMRAM回路は、記憶情報をセンス電流の大小に対応させて動作させているが、上記公報には電圧あるいは電流の検出方法、比較器(センスアンプ)への接続方法については記述されていない。

【0006】

【発明が解決しようとする課題】しかしながら、上述した第1又は第2の従来例には以下に示すような問題がある。まず、第1の従来例では、直列接続された記憶セルの抵抗を直接検出しているが、この抵抗には行に直列接続されたトランジスタのオン抵抗も含まれており、また、記憶セルアレイと参照セルアレイが分離され、それらの距離が離れているため、それぞれの比較信号に寄生要素が含まれ易く、充分な動作マージンを実現することが困難となってしまう。そのため、第1の従来例のMRAMでは、記憶セルのウェハ上での特性の均一性が要求される。

【0007】また、第1の従来例では、複数の直列に接続された記憶セルの電圧を検出するため、行全体の抵抗に比べて抵抗の磁気変化分が小さくなり、素子ばらつき、ノイズ耐性に劣るという問題がある。更に、検出感度を大きくするためには、検出電流を大きくするか、又は、GMR素子を細長くして素子抵抗を大きくする等の処置が必要であるが、これらは、消費電力の増大および回路面積の増大を招いてしまう。

【0008】更に、一般的なGMR素子では、膜面に平行に電流を流すため、基本抵抗は配線抵抗と同等であり、したがって、配線とトランジスタと磁気抵抗素子と

5

を直列接続して、全体の電圧を直接測定する方法を用いる場合には、配線とトランジスタでの電圧降下が無視できなくなり、高精度な読み出し回路（センスアンプ）が必要となってしまう。

【0009】また、第2の従来例では、Journal of Magnetism Society of Japan, Vol. 23, No. 1-2, pp. 55-57に述べられているように、接合の両端に印加される電圧が増加するに従い、周知のバイアス効果によって磁気抵抗比（MR比）が減少する。このバイアス効果により、TMR素子の両端に大きな電圧をかけても、磁気による素子電圧の変化分は比例して大きくならず、TMR素子を用いたMRAMでは、高精度な読み出し回路（センスアンプ）が必要となる。

【0010】また、Journal of Magnetism and Magnetic Materials Vol. 198-199, pp. 164-166などで述べられているように、薄いトンネルバリアを用いているTMR素子の両端に大きな電圧をかけることは、トンネルバリアを電界、熱などで破壊し、素子寿命を短くしてしまうという問題がある。

【0011】本発明は上記問題点に鑑みてなされたものであって、その第1の目的は、磁気抵抗素子特性のウェハ面内でのばらつきを防止し、動作マージンを広くすることができるMRAM回路を提供することにある。また、本発明の第2の目的は、磁気抵抗素子と直列に接続された配線およびトランジスタの抵抗による電圧降下をもたらす、読み出し回路（センスアンプ）の検出感度の低下を防ぎ、高精度かつ高速な読み出しが可能なMRAM回路を提供することにある。更に本発明の第3の目的は、特に、トンネル型磁気抵抗素子（TMR）を用いたMRAM回路において、磁気抵抗のバイアス効果、および、トンネルバリアの破壊を防止することができるMRAM回路を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明は、複数のセンス線及び複数のワード線を有し、前記センス線と前記ワード線との各々の交点には電圧降下素子の機能を備えたセル選択スイッチと磁気抵抗素子とが直列に接続された単位記憶セルが配設され、該単位記憶セルが2次元アレイ状に配列されてセルアレイを構成する磁気ランダムアクセスメモリにおいて、前記センス線の各々に容量手段を備え、前記容量手段に蓄積された電荷が前記センス線、前記セル選択スイッチ及び前記磁気抵抗素子を順次介して放電し、該放電により生じる前記容量手段の電圧変化によって前記磁気抵抗素子の磁気保持状態が判別されるものである。

【0013】また、本発明は、複数のワード線が接続され、選択されたワード線に基準電圧を発生するXデコーダと、複数のセンス線が接続されたYデコーダを含むY周辺回路部と、前記ワード線と前記センス線との各交点にセル選択MOSFETと磁気抵抗素子とが直列に接続

6

された単位記憶セルと、を少なくとも有し、前記単位記憶セルをアレイ状に配列してセルアレイ部が構成される磁気ランダムアクセスメモリにおいて、前記Y周辺回路部に、電源と各々の前記センス線に対応して設けられた列選択MOSFETと容量手段とを備え、前記列選択MOSFETは、その一側端子が前記センス線に、他側端子が前記電源に、ゲート端子が前記Yデコーダにそれぞれ接続され、前記列選択MOSFETと前記センス線との連結部には出力線が接続されると共に、前記容量手段を介して接地され、各々の前記単位記憶セルでは、前記セル選択MOSFETの一側端子が前記センス線に、他側端子が前記磁気抵抗素子の一側端子に、ゲート端子が前記ワード線に接続され、前記磁気抵抗素子の他側端子は接地され、前記ワード線に印加される基準電圧と前記セル選択MOSFETの閾値特性により与えられる所定の降下電圧とによって前記磁気抵抗素子に印加する電圧が制御され、前記容量手段に蓄積された電荷が前記センス線、前記セル選択MOSFET及び前記磁気抵抗素子を順次介して放電し、該放電により生じる前記容量手段の電圧変化によって、前記磁気抵抗素子の磁気保持状態が判別されるものである。

【0014】本発明においては、前記Yデコーダに、隣接する2本の前記センス線から延びる前記出力線が接続される差動増幅手段を備え、前記セルアレイが、同一の前記ワード線に接続され、かつ、前記隣接する2本のセンス線にそれぞれ接続される対をなす単位記憶セルで構成され、前記対をなす単位記憶セルの、一方が記憶セル、他方が前記記憶セルと相補のデータを記憶する参照セルとして機能し、前記記憶セル及び前記参照セルからの出力信号の差が前記差動増幅手段で検出、増幅される構成とすることができる。

【0015】また、本発明においては、前記Y周辺回路部に対して対称の位置に、前記Y周辺回路部に接続されるセルアレイ部及びXデコーダが各々対をなして配設され、前記Y周辺回路部に、各々の前記セルアレイ部の対向する前記センス線から延びる前記出力線が接続される差動増幅手段を備え、各々の前記セルアレイの、少なくとも1本以上の前記ワード線と該ワード線と交差する前記センス線との各交点に前記セル選択MOSFETと基準抵抗とから構成される参照セルが配設され、前記対をなすセルアレイ部の一方に設けた所定の単位記憶セルと、他方のセルアレイ部に設けた前記参照セルとの出力信号の差が前記差動増幅手段で検出、増幅される構成とすることもできる。

【0016】また、本発明は、複数のワード線が接続され、選択されたワード線に基準電圧を発生するXデコーダと、複数のセンス線が接続されたYデコーダを含むY周辺回路部と、前記ワード線と前記センス線との各交点にセル選択MOSFETと磁気抵抗素子とが直列に接続された単位記憶セルと、を少なくとも有し、前記単位記

値セルをアレイ状に配列してセルアレイ部が構成される磁気ランダムアクセスメモリにおいて、前記Y周辺回路部に、電源と各々の前記センス線に対応して設けられた第1乃至第4の列選択MOSFETと第1及び第2の容量手段と差動増幅手段とを備え、前記第1及び第2の列選択MOSFETは、一側端子が前記電源に接続され、他側端子が前記第1又は第2の容量手段を介して接地され、ゲート端子が前記Yデコーダに並列に接続され、前記第1及び第2の列選択MOSFETの前記他側端子には、各ゲート端子にYデコーダ信号が入力されて互いに相補的に動作する第3及び第4の列選択MOSFETが配設され、前記第3及び第4の列選択MOSFETの直列連結部と前記センス線とが接続され、前記差動増幅手段は、前記第1の容量と前記第1の列選択MOSFETとの接続部から延びる第1の出力線と、前記第2の容量と前記第2の列選択MOSFETとの接続部から延びる第2の出力線とに接続され、各々の前記単位記憶セルでは、前記セル選択MOSFETの一側端子が前記センス線に、他側端子が前記磁気抵抗素子の一側端子に、ゲート端子が前記ワード線に接続され、前記磁気抵抗素子の他側端子は接地され、前記ワード線に印加される基準電圧と前記セル選択MOSFETの閾値特性により与えられる所定の降下電圧とによって前記磁気抵抗素子に印加する電圧が制御され、前記容量手段に蓄積された電荷が前記センス線、前記セル選択MOSFET及び前記磁気抵抗素子を順次介して放電し、該放電により生じる前記容量手段の電圧変化によって、前記磁気抵抗素子の磁気保持状態が判別されるものである。

【0017】本発明においては、前記Xデコーダと各々の前記ワード線との間に補正手段を備え、メモリ素子の記憶読み出し動作を行う前の記憶素子が初期化された状態において、同一の前記センス線に接続された各々の前記磁気抵抗素子に流れる電流が相等しくなるように、前記補正手段によって各々の前記ワード線の電位が補正される構成とすることもできる。

【0018】

【発明の実施の形態】本発明に係る磁気ランダムアクセスメモリは、その好ましい一実施の形態において、複数のワード線118～121が接続されるXデコーダと、Yデコーダと電源とMOSFET106～109とコンデンサ110～113とを有するY周辺回路部と、単位記憶セルにMOSFET122～137と磁気抵抗素子138～153とが直列に接続されたセルアレイ部とからなり、Xデコーダの基準電圧と単位記憶セルのMOSFETの閾値特性により与えられる所定の降下電圧とによって磁気抵抗素子に印加する電圧が所定の小さい値に制御され、コンデンサに蓄積された電荷がセンス線、単位記憶セルMOSFET及び磁気抵抗素子に順次流れることにより生じるコンデンサの電圧変化によって磁気抵抗素子のデータの読み出しを確実に行う。

【0019】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0020】【実施例1】まず、本発明の第1の実施例に係るMRAMについて、図1を参照して説明する。図1は、第1の実施例のMRAMの構成を示す回路図である。なお、図1では、一例として4×4ビットのMRAMを示しているが、用途に応じて配列の数を任意に設定することができる。

【0021】図1に示すように、本実施例のMRAMは、Yデコーダ101を含むY周辺回路102、Xデコーダ103、および、セルアレイ104から構成される。Y周辺回路102は、Yデコーダ101と、ゲートがYデコーダ101に接続されたMOSトランジスタ106～109、このMOSトランジスタ106～109に接続された電源105、片側が接地されたコンデンサ110～113で構成されている。MOSトランジスタ106～109とコンデンサ110～113はそれぞれ互いに接続されており、さらに、この接続点には、コンデンサ110～113の電位を検出するための出力線154～157およびセルアレイ104のセンス線114～117がそれぞれ接続されている。また、ワード線118～121は、それぞれ、Xデコーダ103に接続されている。

【0022】セルアレイ104は、MOSトランジスタ122～137と磁気抵抗素子138～153とからなる単位記憶セル、および、センス線114～117、ワード線118～121で構成される。この単位記憶セルはそれぞれ、センス線114～117とワード線118～121の交点に配置される。単位記憶セルの磁気抵抗素子138～153の一端は接地され、他端はMOSトランジスタ122～137の一方の不純物領域と接続されている。MOSトランジスタ122～137の他方の不純物領域はセンス線114～117と接続され、ゲートにはワード線118～121が接続されている。

【0023】上述したMRAM回路が待機状態にあるときには、MOSトランジスタ106～109はオン状態になっており、コンデンサ110～113は充電され、所定の初期電圧(V_{D0})になる。また、センス線114～117を介して、記憶セルのMOSトランジスタ122～137にも V_{D0} が入力される。MOSトランジスタ122～137は、セルの選択スイッチと電圧降下素子を兼ねている。

【0024】ここで、磁気抵抗素子138～153に印加される電圧(V_s)は、Xデコーダ103から発生し、ワード線118～121を経由してMOSトランジスタ122～137のゲートに入力される基準電圧(V_{ref})と、MOSトランジスタ122～137の閾値特性で決められる一定の降下電圧(V_{drp})により決定され、MOSトランジスタ122～137の入力側の電圧、すなわちセンス線114～117の電圧(V_D)が変動しても出力側の電圧(V_s)は変動しない。この V_s 、 V_{ref} 、 V_{drp} には、以下の関係が成り立つため、選択された記憶セルの磁気抵抗素子には適当な

低い電圧 V_s が印加される。

【0025】

$V_s = V_{ref} - V_{drp}$ (ただし、 $V_D > V_s$) ... (1)

【0026】次に、例えば磁気抵抗素子143に保持されたデータを読み出す場合について説明する。磁気抵抗素子143は、セルアレイの2行2列に位置している単位記憶セルで用いられている。はじめに、Xデコーダ103からの信号により、2行目のワード線119に接続されている単位記憶セルのMOSトランジスタ126~129がオンになり、電源105、MOSトランジスタ107、センス線115、MOSトランジスタ127、磁気抵抗素子143と電流が流れる。この時、同一のワード線119に接続されている磁気抵抗素子142、144、145にも同様に電流が流れるが、これについては後述する。

【0027】2行目のワード線119の選択に続いて、Yデコーダ101のからの信号により2列目のセンス線115が選択される。この時、MOSトランジスタ107はオフとなり、2列目のセンス線115は電源105から切り離されるが、コンデンサ111に充電された電荷を放電しながら、磁気抵抗素子143には電流が流れつづける。この結果、コンデンサ111に生じる電圧、すなわち、センス線115の電圧は低下するが、磁気抵抗素子143の両端の電圧 (V_s) は前述したように式(1)で決定付けられるため、変化せずに一定に保たれる。

【0028】このとき、 t 時間後のコンデンサ111に生じる電圧の時間変化 $V_D(t)$ は、初期電圧 V_{D0} 、コンデンサ111の容量 C 、磁気抵抗素子143に流れる電流 I_s 、磁気抵抗素子143の両端の電圧 V_s 、および、MOSトランジスタ127の負荷抵抗 R を用いると、式(2)のように表すことができる。

【0029】

$$V_D(t) = V_{D0} - \frac{1}{C} \int I_s dx = V_{D0} - \frac{V_s}{CR} t \quad \dots (2)$$

【0030】式(2)に示したように、コンデンサ111に生じる電圧の時間変化は、磁気抵抗素子143の抵抗により変化率が異なる。すなわち、磁気抵抗素子143が高抵抗状態にある時には、コンデンサ111に生じる電圧の時間変化は小さく、反対に磁気抵抗素子143が低抵抗状態にある時には、コンデンサ111に生じる電圧の時間変化は大きい。従って、ある一定時間経過後に、コンデンサ111の電圧あるいは電圧変化を出力線155を通して検出することによって、磁気抵抗素子143の抵抗状態すなわち保持しているデータを読み出すことが出来る。

【0031】このように、本実施例のMRAM回路では、磁気抵抗素子143に印加される電圧は式(1)で与えられる V_s であるので、磁気抵抗素子143を破壊する電圧、あるいは、バイアス依存性により著しく特性を劣化させる電圧よりも小さく保つことが出来る。一方、コンデンサ111の作用により、出力線155に生じる電圧は、後段の検出回路に十分な程度まで大きくすることができ、

特に、磁気抵抗素子143と直列につながれた寄生抵抗が大きい場合や、磁気抵抗素子143の磁気抵抗比 (MR比) が十分大きく取れない場合であっても、式(2)のコンデンサ110~113の容量 C 、磁気抵抗素子に印加する電圧 V_s 、磁気抵抗素子138~153の電気抵抗値、および、コンデンサの放電に要する時間 t を最適化することによって、十分な読み出し電圧を得ることができる。

【0032】また、本実施例のMRAMの読み出し速度は、主に、コンデンサ110~113の容量 C 、磁気抵抗素子138~153の電気抵抗値、および、磁気抵抗素子に印加する電圧 V_s により決定され、これらのパラメータを最適化することによって非常に高速な読み出しが可能である。なお、コンデンサ110~113の充電は待機時間中に行われるため、読み出し速度に影響することはない。

【0033】更に、前述したように、本実施例のMRAM回路では、同一のワード線119に接続されている磁気抵抗素子142、144、145にも同様に電流が流れるため、MOSトランジスタ107と同様に、MOSトランジスタ106、108、109もオフにすると、磁気抵抗素子142、144、145に記録された情報を、それぞれ、出力線154、156、157から同時に並行して読み出すことが出来る。この読み出しの消費電力は、基本的にコンデンサに充電し放電される電気量であるため、非常に小さくすることができ、特に、前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率が高くすることができる。

【0034】なお、上述したデータ読み出しのシーケンスでは、MOSトランジスタ127がオンになった後にMOSトランジスタ107をオフとしているが、本発明は上記実施例に限定されるものではなく、これらのMOSトランジスタがスイッチする順序は逆になっても良く、また同時にスイッチさせることも可能である。また、本実施例では、コンデンサ110~113を設けているが、別途コンデンサを設けず、センス線114~117の配線容量を利用することも可能である。

【0035】【実施例2】次に、本発明の第2の実施例に係るMRAMについて、図2を参照して説明する。図2は、第2の実施例のMRAMの構成を示す回路図である。なお、本実施例は、基本的には前記した第1の実施例と同じ動作をするが、同一のワード線に接続され、かつ、隣接した2本のセンス線に接続された2つの単位記憶セルを対とし、お互いに相補のデータを記憶することを特徴としている。

【0036】図2を参照して、本実施例のMRAMについて説明すると、本実施例では、一方の単位記憶セルの磁気抵抗素子が高抵抗状態の時には、他方の磁気抵抗素子は必ず低抵抗状態になるように、それぞれの磁気抵抗素子の磁化方向を設定する。なお、記憶データが“1”である場合に、どちらの磁気抵抗素子を高抵抗状態にするかは任意であり、回路ごとに決めることができる。ま

た、それぞれの単位記憶セルには、センス線を介してコンデンサが接続されており、差動増幅器を用いて2つのコンデンサの電圧を比較し、この差動増幅器の出力をデータ出力としている。この回路では、2つの単位記憶セルを用いて1ビットの情報を記憶するため、図2に示したMRAM回路では、 $4 \times 2 = 8$ ビットの情報を記憶している。

【0037】図2に示した回路と図1に示した第1の実施例の回路では、特にY周辺回路の構成が異なっている。すなわち、本実施例のY周辺回路202では、隣接する2つのセンス線214と215に接続されたコンデンサ210と211が差動増幅器254に接続され、コンデンサ210と211に生じる電圧の差が差動増幅器254で検出される。同様に、コンデンサ212と213に生じる電圧の差は、差動増幅器255で検出される。Xデコーダ203、セルアレイ204は、図1のXデコーダ103、セルアレイ104と同等の回路である。

【0038】次に、例えば磁気抵抗素子242、243に保持されたデータを読み出す場合について説明する。磁気抵抗素子242は、セルアレイの2行1列、磁気抵抗素子243はセルアレイの2行2列に位置している。はじめに、Xデコーダ203から基準電圧 V_{ref} の信号が発生し、2行目のワード線219に接続されている単位記憶セルのMOSトランジスタ226～229がオンになる。この結果、MOSトランジスタ226～229の閾値特性で決められる V_s が磁気抵抗素子242～245に印加される。したがって、電源205、MOSトランジスタ206、センス線214、MOSトランジスタ226、磁気抵抗素子242と、電流が流れる。また同様に、電源205、MOSトランジスタ207、センス線215、MOSトランジスタ227、磁気抵抗素子243の経路でも電流が流れる。この時、同一のワード線219に接続されている磁気抵抗素子244、245にも同様に電流が流れるが、これについては後述する。

【0039】2行目のワード線219の選択に続いて、Yデコーダ201のからの信号により1列目のセンス線214と、2列目のセンス線215が選択される。この時、MOSトランジスタ206、207はオフとなり、1列目のセンス線214と2列目のセンス線215は電源205から切り離されるが、コンデンサ210、211に充電された電荷を放電しながら、磁気抵抗素子242、243には電流が流れつづける。

【0040】この結果、コンデンサ210、211に生じる電圧、すなわち、MOSトランジスタ226、227の入力側の電圧は低下するが、MOSトランジスタ226、227の出力側の電圧、すなわち、磁気抵抗素子242、243に印加される電圧(V_s)は前述したように式(1)で決定付けられるため、変化することなく一定に保たれる。このとき、 t 時間後のコンデンサ210、211に生じる電圧の時間変化 $V_D(t)$ は、式(2)に示した通りである。

【0041】ここで、式(2)に示したように、コンデンサ210、211に生じる電圧の時間変化は、磁気抵抗素子24

2、243の抵抗により変化率が異なる。例えば、記憶データが“1”であるときには、磁気抵抗素子242が高抵抗状態、かつ、磁気抵抗素子243が低抵抗状態であるとすると、コンデンサ210の電圧低下よりコンデンサ211の電圧低下の時間変化が大きい。反対に記憶データが“0”であるときには、磁気抵抗素子242が低抵抗状態、かつ、磁気抵抗素子243が高抵抗状態となり、コンデンサ210の電圧低下よりコンデンサ211の電圧低下の時間変化は小さい。

【0042】ある一定時間経過後に、コンデンサ210とコンデンサ211の電圧の差を差動増幅器254で判定し、その判定結果を読み出しデータとして出力線256より出力すると、ある t 時間経過後のコンデンサ210とコンデンサ211の電圧の差 $V_{OUT}(t)$ は式(2)から、

【0043】

$$V_{OUT}(t) = \frac{V_s}{C} \left(\frac{1}{R_L} - \frac{1}{R_H} \right) t \quad \text{---(3)}$$

【0044】と表すことができる。ここで R_L 、 R_H はそれぞれ、磁気抵抗素子が低抵抗状態と高抵抗状態でのMOSトランジスタの負荷抵抗（負荷となるセンス線、磁気抵抗素子、記憶セルのMOSトランジスタの合成抵抗）である。式(3)において例えば、コンデンサの容量 C を1pF、MOSトランジスタの出力側の電圧 V_s を250mV、磁気抵抗素子が低抵抗状態の R_L を10k Ω 、高抵抗状態の時の R_H を12k Ω と容易に実現可能な値を仮定し、コンデンサ210、211の放電時間を24nsecとすると、記憶データの“1”、“0”に応じて、 $V_{OUT}(24\text{nsec})$ として $\pm 100\text{mV}$ の出力が得られることがわかる。既存の半導体DRAMで用いられるセンスアンプ（差動増幅器）の入力電圧（検出電圧）は100mV程度であり、この $\pm 100\text{mV}$ の信号は容易に検出できることは自明である。

【0045】このように、本実施例のMRAM回路では、隣接する磁気抵抗素子からの信号を参照データとしているため、前記した第1の実施例に比べて出力電圧を大きくすることができ、プロセスばらつきに対する回路動作の安定性を向上させることができる。

【0046】また、前記した第1の実施例と同様に、磁気抵抗素子242、243に印加される電圧は、ゲートに入力される基準電圧と一定の降下電圧で与えられる V_s であるので、磁気抵抗素子242、243を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことが出来る。一方、コンデンサ210、211の作用により、差動増幅器（検出器）254に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出することができる。特に、磁気抵抗素子と直列につながれた配線抵抗、MOSトランジスタの抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れない場合であっても、式(2)のコンデンサの容量 C 、磁気抵抗素子に印加する電圧 V_s 、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時

間 t を最適化することで、十分な読み出し電圧を得ることができる。

【0047】また、読み出し速度は、コンデンサの容量 C 、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧 V_s 等のパラメータを最適化することで非常に高速な読み出しが可能であり、同一のワード線219に接続されている磁気抵抗素子244、245にも同様に電流が流れるため、MOSトランジスタ206、207と同様に、MOSトランジスタ208、209もオフにすると、磁気抵抗素子244、245に記録された情報も差動増幅器（検出器）257から同時に並行して読み出すことが出来る。このMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に、前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率を高くすることができる。

【0048】なお、上述したデータ読み出しのシーケンスは一例であり、MOSトランジスタをスイッチする順番を変えることができるのは、前記した第1の実施例と同様である。

【0049】【実施例3】次に、本発明の第3の実施例に係るMRAMについて、図3を参照して説明する。図3は、第3の実施例のMRAMの構成を示す回路図である。なお、本実施例は、基本的には前記した第2の実施例と同じ動作をするが、出力を差動増幅で比較する際の参照信号を、相補のデータが書き込まれた磁気抵抗素子ではなく、基準抵抗から得ることを特徴としている。

【0050】図3を参照すると、本実施例のMRAM回路は、Yデコーダ301を含むY周辺回路302、第1のXデコーダ303、第1のセルアレイ304、および、前記のY周辺回路302に対してそれぞれ対称的な位置に配置される、第2のXデコーダ305、第2のセルアレイ306から構成される。Y周辺回路302は、図1のY周辺回路102と類似した回路構成となっているが、Yデコーダ101と同等のYデコーダ301に対して、MOSトランジスタ、コンデンサなどが対称的に配置されている点が異なっている。また、Y周辺回路302は、差動増幅器330～333を有しているが、図2の差動増幅器254、255とは異なり、それぞれ、Yデコーダ301に対して対称的な位置に配置されている2つのコンデンサが接続されている。

【0051】それぞれのセルアレイにおける、少なくとも1本以上のワード線には、基準抵抗とMOSトランジスタとから構成される基準セルが接続されている。図3に示した例では、第1のセルアレイ304では、ワード線315に基準抵抗318～321とMOSトランジスタから構成される基準セルが接続され、第2のセルアレイ306では、ワード線316に基準抵抗322～325とMOSトランジスタとから構成される基準セルが接続されている。また、第1、第2のXデコーダ303、305に発生する信号は基準電圧である。

【0052】例えば、第1のセルアレイ304のセンス線308とワード線317に接続された磁気抵抗素子327とMOSトランジスタから構成される記憶セルの情報を読み出す場合には、第2のセルアレイ306のセンス線312とワード線316に接続された基準抵抗323とMOSトランジスタから構成される基準セルからの信号を参照信号とし、第1および第2の実施例のMRAM回路と同様の原理を用いて、差動増幅器331を用いて出力を得る。また、この時、同一のワード線317に接続されている磁気抵抗素子326、328、329とMOSトランジスタから構成される記憶セルに記憶された情報も、差動増幅器330、332、333を用いて、基準抵抗322、324、325とMOSトランジスタから構成される基準セルからの信号と比較することで並行に読み出すことが可能である。

【0053】なお、第1のセルアレイ304のワード線315に接続された基準抵抗318～321とMOSトランジスタから構成される基準セルは、第2のセルアレイ306に配置された磁気抵抗素子とMOSトランジスタから構成される記憶セルのデータを読み出す時の参照に使用される。

【0054】このように、本実施例のMRAMの構成によれば、基準セルからの信号を参照データとして用いることによって、チップの面積効率を高く、高集積かつプロセスばらつきに対する回路動作の安定性を向上させることができる。

【0055】また、前記した第1及び第2の実施例と同様に、磁気抵抗素子に印加される電圧は V_s であるので、磁気抵抗素子を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことが出来る。一方、コンデンサの作用により、差動増幅器（検出器）に入力される電圧は十分な程度まで大きくすることができ、式(2)のコンデンサの容量 C 、磁気抵抗素子に印加する電圧 V_s 、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時間 t を最適化することで、十分な読み出し電圧を得ることができる。

【0056】また、読み出し速度は、コンデンサの容量 C 、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧 V_s 等のパラメータを最適化することで非常に高速な読み出しが可能であり、同一のワード線に接続されている磁気抵抗素子にも同様に電流が流れるため、同時に並行して読み出すことが出来る。このMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。特に、前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率を高くすることができる。

【0057】なお、上述したデータ読み出しのシーケンスは一例であり、MOSトランジスタをスイッチする順番を変えることができるのは、前記した第1及び第2の実施例と同様である。

【0058】【実施例4】次に、本発明の第4の実施例

に係るMRAMについて、図4を参照して説明する。図4は、第4の実施例のMRAMの構成を示す回路図である。なお、本実施例は、基本的には前記した第2の実施例と同じ動作をするが、読み出しの対象となる磁気抵抗素子自身の状態を変化させて生成される信号を差動増幅の参照信号とする、自己参照式の読み出し方法を用いることを特徴としている。

【0059】図4に示すように、本実施例のMRAMは、Yデコーダ401を含むY周辺回路402と、出力信号が基準電圧であるXデコーダ403、および、セルアレイ404から構成される。ここで使用されるXデコーダ403とセルアレイ404は、それぞれ、図1のXデコーダ103とセルアレイ104と同等のものである。また、Yデコーダ401とXデコーダ403の動作タイミングは、タイミングコントローラ405により制御される。Y周辺回路402は、Yデコーダ401と、ゲートがYデコーダ401に接続されたMOSトランジスタ407~410、このMOSトランジスタ407~410に接続された電源406、ゲートにYデコーダ401からの出力が接続され、お互いに相補に動作する2対のMOSトランジスタ415と416、および、417と418、片側が接地されたコンデンサ411~414、および、出力を検出する差動増幅器441、442で構成されている。

【0060】MRAM回路が待機状態にあるときには、MOSトランジスタ407~410はオン状態になっており、コンデンサ411~414は、充電され、所定の初期電圧(V_{D0})になる。また、この時、MOSトランジスタ415、417はオン状態で、これらに対して相補動作するMOSトランジスタ416、418はオフ状態となっている。したがって、MOSトランジスタ415、417を介して、コンデンサ411、413と接続されているセンス線419、420も所定の初期電圧 V_{D0} である。MOSトランジスタ433~440は、セルの選択スイッチと電圧降下素子を兼ねている。

【0061】ここで、磁気抵抗素子425~432に印加される電圧(V_s)は、Xデコーダ403から発生し、ワード線421~424を経由してMOSトランジスタ433~440のゲートに入力される基準電圧(V_{ref})と、MOSトランジスタ433~440の閾値特性で決められる一定の降下電圧(V_{drp})により決定され、MOSトランジスタ425~432の入力側の電圧、すなわちセンス線419、420の電圧(V_D)が変動しても出力側の電圧(V_s)は変動しない。

【0062】例えば、磁気抵抗素子427に保持されたデータを読み出す場合には、Xデコーダ403から基準電圧 V_{ref} の信号を発生し、MOSトランジスタ435をオンにする。この結果、電源406、MOSトランジスタ407、MOSトランジスタ415、センス線419、MOSトランジスタ435、磁気抵抗素子427を通して電流が流れる。またこの時、Xデコーダ403からの信号により、同一のワード線422に接続されているMOSトランジスタ436もオンになっており、この結果、磁気抵抗素子428にも電流が流れる。

【0063】MOSトランジスタ435、436の閾値特性により、磁気抵抗素子427、428に印加される電圧は、一定の低電圧 V_s に保持され、磁気抵抗素子427、428には、それぞれ V_s および各磁気抵抗素子427、428の抵抗値から決定される大きさの電流が流れる。次に、Yデコーダ401のからの信号により、MOSトランジスタ407はオフとなり、コンデンサ411に充電された電荷を放電しながら、磁気抵抗素子427には電流が流れつづける。この結果、コンデンサ411に生じる電圧は(2)式に従って低下する。

【0064】一定時間経過後に、一時的に、MOSトランジスタ435をオフにし、磁気抵抗素子427を通して流れていた電流を止める。その後、書き込み回路を動作させて、磁気抵抗素子427に"0"または"1"を参照データとして書き込むか、あるいは、一時的な中間状態に保ち、その後、MOSトランジスタ415をオフ、MOSトランジスタ416オンとし、再びMOSトランジスタ435をオンとすると、今度は、電源406、MOSトランジスタ408、MOSトランジスタ416、センス線419、MOSトランジスタ435、磁気抵抗素子427の経路で電流が流れる。次に、MOSトランジスタ408をオフとすると、コンデンサ412に充電された電荷を放電しながら、磁気抵抗素子427には電流が流れつづける。この結果、磁気抵抗素子427の参照状態に応じて、コンデンサ412に生じる電圧は低下する。

【0065】再び、一定時間経過後に、MOSトランジスタ435をオフとし、磁気抵抗素子427を通り流れていた電流を止め、コンデンサ411とコンデンサ412の電圧差を差動増幅器441を用いて検出する。最後に、磁気抵抗素子427に元のデータを再書き込みするか、または、一時的な中間状態から定常状態に戻すことにより、MRAM回路全体としてデータの非破壊読出しを実現することができる。

【0066】このように、本実施例のMRAMは、磁気抵抗素子に記憶させたデータを自己参照方式で検出することができるために、前記した第1乃至第3の実施例に比べて、チップの面積効率を高く、高集積かつプロセスばらつきに対する回路動作の安定性を向上させることができる。

【0067】また、前記した第1乃至第3の実施例と同様に、磁気抵抗素子に印加される電圧は V_s であるので、磁気抵抗素子を破壊する電圧あるいは、著しく特性を劣化させる電圧よりも小さく保つことが出来る。一方、コンデンサの作用により、差動増幅器(検出器)に入力される電圧は十分な程度まで大きくすることができ、式(2)のコンデンサの容量 C 、磁気抵抗素子に印加する電圧 V_s 、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時間 t を最適化することで、十分な読み出し電圧を得ることができる。

【0068】また、読み出し速度は、コンデンサの容量

C、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧 V_s 等のパラメータを最適化することで、非常に高速な読み出しが可能であり、同一のワード線に接続されている磁気抵抗素子にも同様に電流が流れるため、同時に並行して読み出すことが出来る。このMRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができる。

【0069】なお、上述したデータ読み出しのシーケンスは一例であり、MOSトランジスタをスイッチする順番を変えることができるのは、前記した第1乃至第3の実施例と同様である。

【0070】〔実施例5〕次に、本発明の第5の実施例に係るMRAMについて、図5を参照して説明する。図5は、第5の実施例のMRAMの構成を示す回路図である。なお、第1乃至第4の実施例で説明した回路において、正確な読み出しを行うためには、同一のセンス線に接続され、かつ、異なるワード線に接続された記憶セルの読み出しにおいて、いずれの記憶セルを読み出す場合にも、センス線に流れる電流が等しくなり、コンデンサの放電特性が一定である必要があるが、そのためには、各ワード線に対する補正回路と、その補正回路を制御する回路を設け、各記憶セルを構成するMOSトランジスタのゲートの印加する信号電圧を調節することが効果的である。そこで、第5の実施例では、第1の実施例に記した回路のワード線に補正回路を設けたことを特徴としており、その基本動作は前記した第1の実施例と同じである。

【0071】本実施例のMRAM回路は、同一のセンス線に接続された記憶セルは同一のコンデンサを使用して読み出すために、記憶セルを構成するMOSトランジスタ518~523、磁気抵抗素子534~549の電気特性が均一であることが望まれる。しかしながら実際の回路では、製造誤差ばらつきなどにより素子特性に分布を生じ、回路の動作マージンを低下させる。そこで、第5の実施例では、図5に示すように、補正制御回路505と補正回路514~517を設け、素子ばらつきによる回路の動作マージンの低下、素子歩留まりの低下を防いでいる。

【0072】図5の回路では、更正動作モードを設け、通常のメモリ素子の記憶読み出し動作を行う前に、記憶素子が初期化された状態において、同一のセンス線に接続された各磁気抵抗素子に流れる電流が等しくなるように、補正回路を用いてワード線の電位を調整する。例えば、センス線507では、磁気抵抗素子519、523、527、531に流れる電流が等しくなるように、以下の様に、ワード線510~513の電位を調整する。

【0073】すなわち、磁気抵抗素子539の抵抗が大きいときには、補正回路515を用いてワード線511の電位、すなわちMOSトランジスタ523のゲート電圧を高くして、磁気抵抗素子に印加する電圧を上げる。また、MO

Sトランジスタ527の閾値特性が正値からずれているときには、補正回路516を用いてワード線512の電位を調整し、磁気抵抗素子543に適正な電流が流れるようにMOSトランジスタ527のゲート電圧を決める。

【0074】MRAM回路が更正モードで動作しているときの出力回路502に送られる信号と式(2)の関係から磁気抵抗素子に流れる電流を求めることができ、補正回路514~517が補正を行う程度が決められる。この補正回路514~517は、補正制御回路505によりその動作が制御され、また、補正値は保存登録される。

【0075】特に、ワード空間の大きいMRAM回路は、ワード線方向に比べてセンス線方向に多数の記憶セルが並べられ、センス線方向の製造ばらつきの増加が懸念される。本実施例は、特にこのようなワード空間の大きいMRAM回路に対して非常に効果がある。なお、異なるセンス線に接続された記憶セルは、異なるコンデンサを用いて読み出されるため、本発明のMRAMはワード線方向の製造ばらつきに対する耐性は本質的に備えている。さらに、ワード線方向の製造ばらつきに対する耐性を向上させるには、式(2)の読み出し時間 t を各センス線ごとに調整することで対応が可能である。

【0076】このように、本実施例では、各々のワード線に補正回路514~517を設け、補正制御回路505によりその動作を制御することにより、製造ばらつきに対して耐性があり、安定動作が可能なMRAM回路が得ることができる。なお、本実施例では、第1の実施例のワード線に対して補正回路・補正制御回路を設けた例を示したが、第2乃至第4の実施例で示した回路のワード線に対して補正回路・補正制御回路を設けた場合も、同様な効果が得られる。

【0077】

【発明の効果】以上説明したように、本発明のMRAMの構成によれば、下記記載の効果を奏する。

【0078】本発明の第1の効果は、特に、トンネル型磁気抵抗素子(TMR)を用いたMRAM回路において、磁気抵抗素子に印加される電圧を、磁気抵抗素子を破壊する電圧あるいは、バイアス効果により著しく特性を劣化させる電圧よりも小さく保つことが可能であり、一方、コンデンサの作用により、差動増幅器(検出器)に入力される電圧は十分な程度まで大きくすることができ、一般的な検出回路で十分にデータを検出することができるということである。

【0079】本発明の第2の効果は、磁気抵抗素子と直列につながれた配線などの寄生抵抗が大きい、あるいは、磁気抵抗素子の磁気抵抗比が十分大きく取れない場合であっても、コンデンサの容量、磁気抵抗素子に印加する電圧、磁気抵抗素子の電気抵抗値、および、コンデンサの放電に要する時間を最適化することによって、十分な読み出し電圧を得ることができるということである。

【0080】また、本発明の第3の効果は、MRAM回路の読み出し速度は、主に、コンデンサの容量、磁気抵抗素子の電気抵抗値、および、磁気抵抗素子に印加する電圧により決定されるため、これらのパラメータを最適化することによって非常に高速な読み出しが可能となるということである。また、本MRAM回路では、同一のワード線に接続されている磁気抵抗素子からも同時に並行して読み出すことができるため、より、高速な読み出しが可能となるということである。

【0081】本発明の第4の効果は、MRAM回路の読み出し時の消費電力は、基本的にコンデンサに充電し、放電される電気量であるため、非常に小さくすることができるということである。特に、前述の並列読み出しを行った場合には、読み出しデータ量に対する消費電力の効率を高くすることができる。

【0082】また、本発明の第5の効果は、適切な参照セルを設けることによって、チップの面積効率を高く、高集積かつプロセスばらつきに対する回路動作の安定性に優れたMRAM回路を得ることができるということである。また、微細化・集積化に伴う配線の寄生容量を積極的に利用することにより、高密度、高集積化を図ることができるということである。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るMRAMの構成を示す回路図である。

【図2】本発明の第2の実施例に係るMRAMの構成を示す回路図である。

【図3】本発明の第3の実施例に係るMRAMの構成を示す回路図である。

【図4】本発明の第4の実施例に係るMRAMの構成を示す回路図である。

【図5】本発明の第5の実施例に係るMRAMの構成を示す回路図である。

【図6】第1の従来例に係るMRAMの構成を示す回路図である。

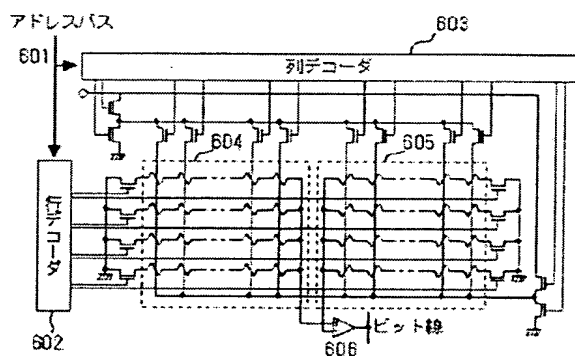
【図7】第1の従来例に係るMRAMの構成を示す回路

図である。

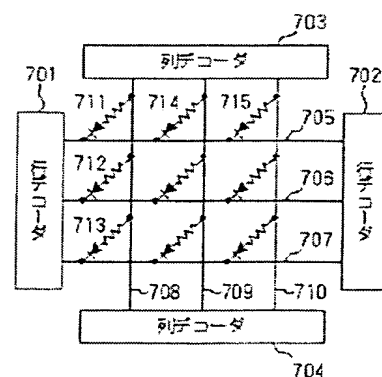
【符号の説明】

- 101、201、301、401、501 Yデコーダ
- 102、202、302、402 Y周辺回路
- 103、203、403、503 Xデコーダ
- 104、204、404 セルアレイ
- 105、205、406、504 電源
- 106～109、206～209、407～410 MOSトランジスタ
- 110～113、210～213、411～414 コンデンサ
- 114～117、214～217、307～314、419、420、506～509 センス線
- 118～121、218～221、315～317、421～424、510～513 ワード線
- 122～137、222～237、433～440、518～533 MOSトランジスタ
- 138～153、238～253、326～329、425～432、534～549 磁気抵抗素子
- 154～157、256、257 出力線
- 254、255、330～333、441、442 差動増幅器
- 303 第1のXデコーダ
- 304 第1のセルアレイ
- 305 第2のXデコーダ
- 306 第2のセルアレイ
- 318～325 基準抵抗
- 405 タイミングコントローラ
- 415～418 MOSトランジスタ
- 502 出力回路
- 505 補正制御回路
- 514～517 補正回路
- 601 アドレスバス
- 602、701、702 行デコーダ
- 603、703、704 列デコーダ
- 604 第1アレイ
- 605 第2アレイ
- 606 比較器

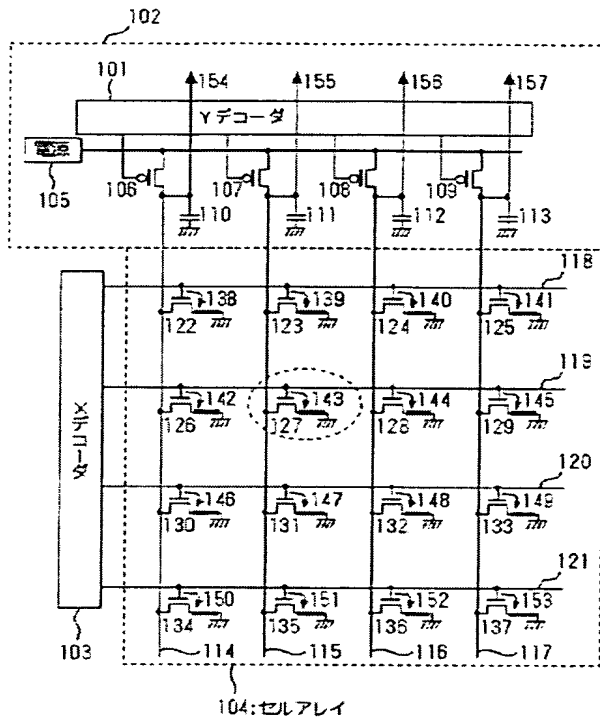
【図6】



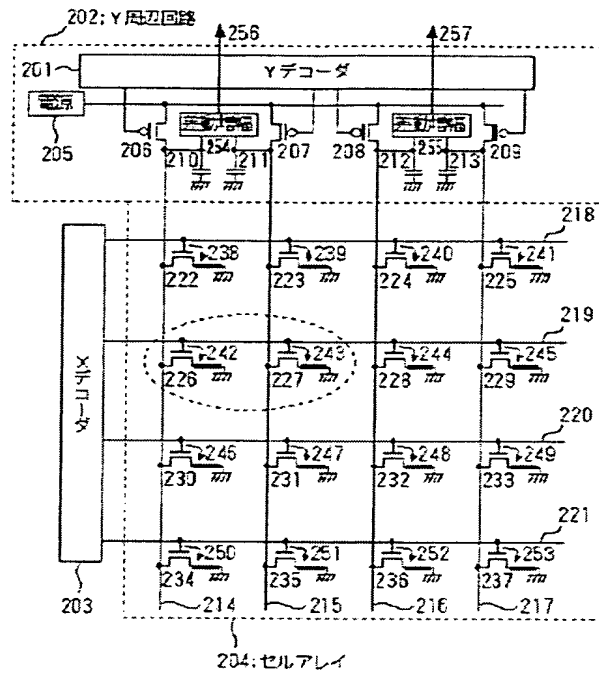
【図7】



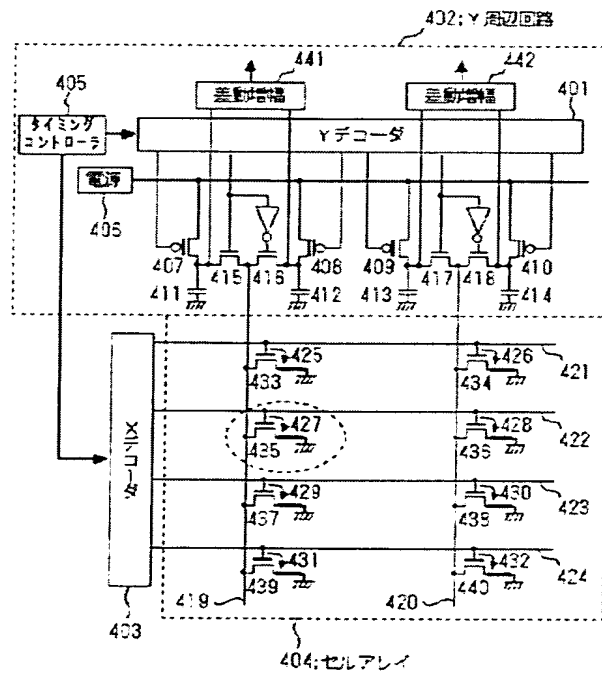
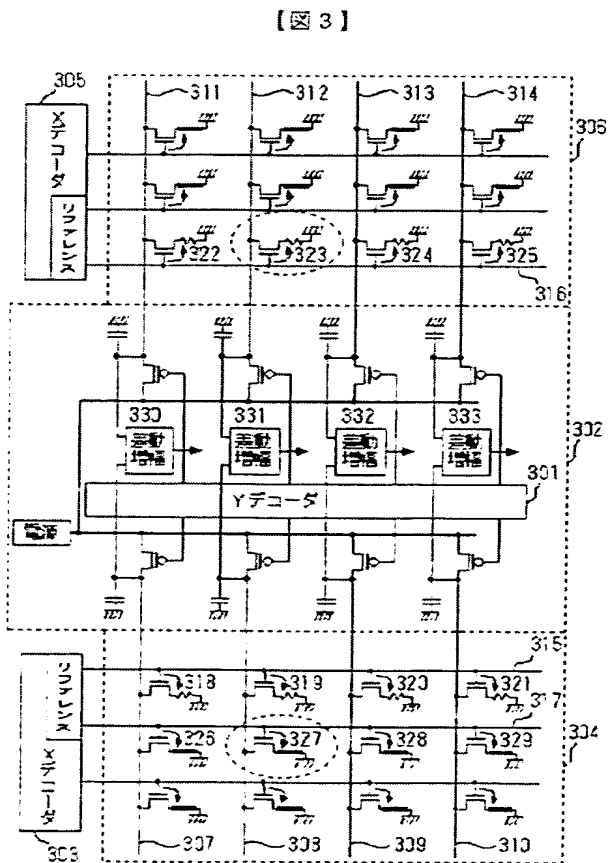
【図 1】



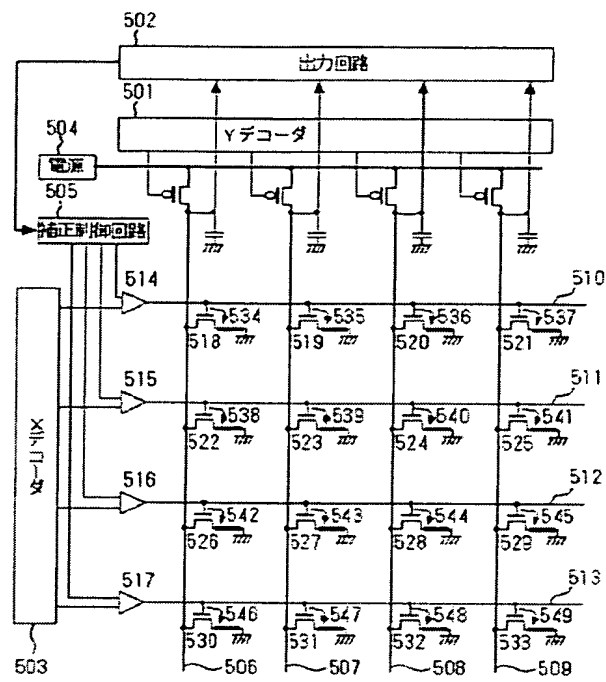
【図 2】



【図 4】



【図5】



This Page Blank (uspto)